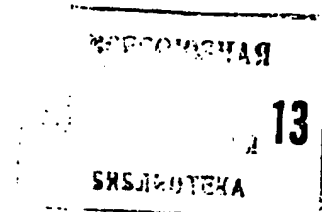




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

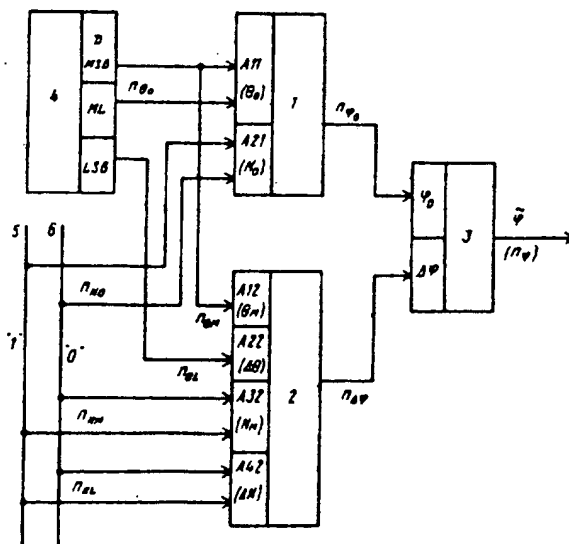
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3937433/24-09
(22) 26.07.85
(46) 15.09.87. Бюл. № 34
(72) А.Е. Ашман
(53) 621.396.679.4(088.8)
(56) Патент Японии № 55-42522,
кл. H 01 Q 3/26, 1980.

(54) КАНАЛЬНОЕ КОМАНДНОЕ УСТРОЙСТВО
ФАЗИРОВАННОЙ АНТЕННОЙ РЕШЕТКИ
(57) Изобретение относится к радио-
технике и обеспечивает упрощение
устр-ва. Канальное командное устр-во
содержит блоки памяти (БП) 1,2, сум-
матор 3 и входной регистр 4 угла
сканирования. По шине 5 подается ло-
гический сигнал "1", а по шине 6 -

"0". Код угла сканирования θ подает-
ся на входной регистр 4. Значения
старших и средних разрядов кодов уг-
ла сканирования θ и номера канала N
поступают с входного регистра 4 и с
шин 5,6 на адресные входы БП 1. Из
БП 1 считываются узловые значения ко-
да фазового сдвига φ_0 . Значения стар-
ших и младших разрядов кодов θ и N
поступают с входного регистра 4 и
шин 5,6 на адресные входы БП 2, с
которого считываются значения кодов
поправок фазового сдвига $\Delta\varphi$. Коды φ_0
и $\Delta\varphi$ поступают на сумматор 3, который
формирует приближенное значение кода
фазового сдвига фазовращателя N -го
излучателя. 1 ил.



изобретение относится к радиотехнике и может быть использовано в различных радиолокационных и связных системах с фазированными антенными решетками.

Цель изобретения - упрощение устройства.

На чертеже представлена структурная электрическая схема канального командного устройства фазированной антенной решетки.

Канальное командное устройство антенной решетки содержит первый 1 и второй 2 блоки памяти, сумматор 3, входной регистр 4 угла сканирования, шину 5 логического сигнала "1" и шину 6 логического сигнала "0".

Канальное командное устройство работает следующим образом.

Код угла сканирования подается на вход входного регистра 4 угла сканирования. Значения старших и средних разрядов кодов угла сканирования θ и номера канала N подаются с выходов входного регистра 4 и шин 5 и 6 на адресные входы первого блока 1 памяти, с выходов которого считываются узловые значения кода фазового сдвига $\varphi_0 = \varphi(\theta_m, N_0)$, где θ_m, N_0 - узловые значения соответственно кода угла сканирования θ и кода номера канала N . Шаг узловых значений кодов θ и N соответствует старшим и средним разрядам этих кодов. Значения старших и младших разрядов кодов θ и N поступают с выходов входного регистра 4 и шин 5 и 6 на адресные входы второго блока памяти, с выходов которого считываются значения кода поправок фазового сдвига $\Delta\varphi = \varphi'_\theta(\theta_m, N_m)\Delta\theta + \varphi'_N(\theta_m, N_m)\Delta N$, где θ_m, N_m - округленные значения соответственно кода угла сканирования θ и кода номера канала N . Шаг округленных значений кодов θ и N соответствует старшим разрядам этих кодов, φ'_θ и φ'_N - частные производные функции фазового сдвига $\varphi(\theta, N) = N \cdot \sin \theta$ для линейной фазированной решетки, $\Delta\theta = \theta - \theta_0$ - приращение, соответствующее младшим раз-

рядам кода угла θ , $\Delta N = N - N_0$ - приращение, соответствующее младшим разрядам кода номера канала N .

Коды φ_0 и $\Delta\varphi$ поступают на входы сумматора 3, с выхода которого считывается приближенное значение кода фазового сдвига фазовращателя N -го излучателя.

Блоки 1 и 2 памяти могут быть использованы в любом канале фазированной антенной решетки при обеспечении соответствующего подключения их к шинам логических сигналов "1" и "0" без перезаписи содержащихся в них кодов фазовых сдвигов, что приводит к упрощению канального командного устройства, а также к снижению затрат при его изготовлении и эксплуатации.

Ф о р м у л а и з о б р е т е н и я

Канальное командное устройство фазированной антенной решетки, содержащее входной регистр угла сканирования, первый и второй блоки памяти, сумматор, причем адресные входы блоков памяти соединены с выходами входного регистра угла сканирования, а выходы блоков памяти подключены к входам сумматора, выходы которого являются выходами устройства, о т л и ч а ю щ е е с я тем, что, с целью упрощения устройства, в него введены шины логических сигналов "1" и "0", которые соединены с соответствующими адресными входами первого и второго блоков памяти, причем выходы старших разрядов входного регистра угла сканирования подключены к соответствующим адресным входам первого и второго блоков памяти, выходы средних разрядов входного регистра угла сканирования подключены к соответствующим адресным входам первого блока памяти, а выходы младших разрядов входного регистра угла сканирования подключены к соответствующим адресным входам второго блока памяти.

BEST AVAILABLE COPY